



⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Zimmermann & Partner, 80331 München

⑦2 Erfinder:
Gruening von Schwerin, Ulrike, Dr., 81539
München, DE; Gustin, Wolfgang, Dr., 01109
Dresden, DE; Morhard, Klaus-Dieter, 01099
Dresden, DE

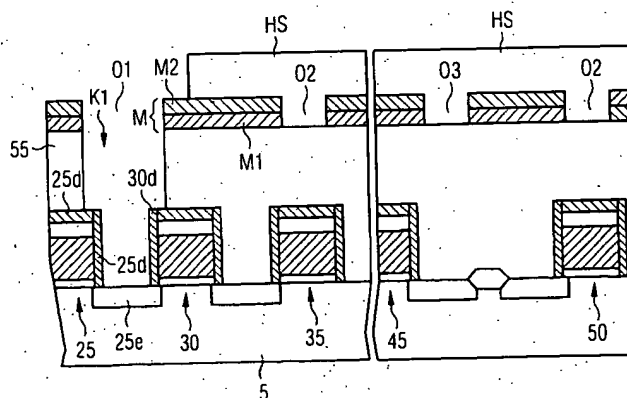
⑤6 Entgegenhaltungen:
DE 196 29 736 A1
US 60 91 154
US 59 66 632
US 52 98 463
US 50 91 339

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zur Bildung von Kontaktregionen von in einem Substrat integrierten Bauelementen

⑤7 Es wird ein Verfahren vorgeschlagen, mit dem zu integrierten Bauelementen führende Kontaktlöcher K1, K2 und K3 mit lediglich einer strukturgebenden Maske hergestellt werden können, wobei die Kontaktlöcher K1 und K3 zu im Substrat 5 integrierten Kontaktregionen (25e, 45e) und die Kontaktlöcher K2 zu auf Schichtenstapeln (35, 50) befindlichen Kontaktregionen (35c, 50c) führen. Bei der Ätzung der Kontaktlöcher K1, K2, K3 wird eine Hilfsschicht verwendet, die einen Teil der Kontaktlöcher abdeckt und somit als Auswahlmaske dient. Die Hilfsschicht kann im Vergleich zur Maske mit einer geringer auflösenden Lithographie strukturiert werden, so daß zur Bildung aller Kontaktlöcher K1, K2, K3 nur eine einzige hochauflösende Lithographie benötigt wird. Besonders eignet sich das Verfahren bei der gleichzeitigen Herstellung von Kontaktlöchern zu Transistoren im Zellenfeld und im Logikfeld eines DRAM.



[0001] Die Erfindung liegt auf dem Gebiet der integrierten Schaltungen und betrifft ein Verfahren zur Bildung von Kontaktlöchern zu einer Vielzahl von Kontaktregionen von in einem Substrat integrierten Bauelementen.

[0002] Bei der Herstellung von integrierten Schaltungen werden zu den in ein Halbleitersubstrat integrierten Bauelemente elektrische Verbindungen benötigt, die in der Regel durch mit einem leitfähigen Material gefüllte Kontaktlöcher gebildet werden. Dabei wird zunächst auf das Halbleitersubstrat ganzflächig eine planare Isolationsschicht aufgebracht und nachfolgend in die Isolationsschicht die Kontaktlöcher geätzt.

[0003] Die integrierten Bauelemente sind z. B. MOS-Transistoren, die einen auf dem Halbleitersubstrat angeordneten Schichtenstapel aus einer Gateelektrode und einem die Gateelektrode vom Halbleitersubstrat isolierendem Gatedielektrikum aufweisen. Seitlich neben dem Schichtenstapel befinden sich im Halbleitersubstrat die Source-/Drain-Gebiete des MOS-Transistors. Die Kontaktierung der MOS-Transistoren erfolgt an der Gateelektrode sowie an den Source-/Drain-Gebieten. Zur Isolation der Gateelektrode ist der Schichtenstapel von einer isolierenden Schicht, die z. B. aus Siliziumnitrid bestehen kann, vollständig bedeckt. Diese isolierende Schicht muß zur Herstellung eines elektrischen Kontakts zumindest von der Oberseite der Gateelektrode entfernt werden.

[0004] Aufgrund der immer weiter voranschreitenden Miniaturisierung der integrierten Bauelemente werden an die genaue Platzierung der Kontaktlöcher hohe Anforderungen gestellt. Um diesen Anforderungen gerecht zu werden, muß eine möglichst hochauflösende Lithographie verwendet werden. Mittels der Lithographie werden Maskenstrukturen einer Projektionsmaske auf eine strahlungsempfindliche Schicht auf dem Halbleitersubstrat projiziert und diese nachfolgend zur Entfernung der bestrahlten Bereiche der strahlungsempfindlichen Schicht entwickelt. Als Ergebnis ist aus der strahlungsempfindlichen Schicht eine Maske entstanden. Probleme bei der Lithographie bereitet die Positionierung der zur Abbildung zu bringenden Projektionsmaske zu bereits auf dem Halbleitersubstrat vorhandenen Strukturen, da z. B. die Kontaktlöcher zu ihren Kontaktregionen plziert werden sollen. Fehler aufgrund einer Fehlausrichtung der Projektionsmaske können bei der nachfolgenden Ätzung der Kontaktlöcher jedoch teilweise ausgeglichen werden. Dabei werden die unterschiedlichen Ätzeigenschaften der Materialien der einzelnen bereits auf dem Halbleitersubstrat befindlichen Strukturen ausgenutzt. Eine derartige Möglichkeit soll nachfolgend anhand der Bildung von Kontaktlöchern zu Source-/Drain-Gebieten näher beschrieben werden.

[0005] Bei der Bildung von Kontaktlöchern zu Source-/Drain-Gebieten eines MOS-Transistors kann es vorkommen, daß die in der Ätzmaske gebildeten Öffnungen nicht exakt oberhalb der Source-/Drain-Gebieten, sondern seitlich leicht verschoben zu diesen angeordnet sind. In diesem Fall würde die nachfolgend zu ätzenden Kontaktlöcher ebenfalls zu den Source-/Drain-Gebieten seitlich verschoben sein und benachbarte Strukturen freilegen, was unter Umständen unerwünscht ist. Problematisch kann es dabei z. B. sein, wenn die isolierende Schicht entfernt und dadurch die Gateelektrode freigelegt wird. Sofern jedoch das zur Bildung der Kontaktlöcher verwendete Ätzverfahren so erfolgt, daß das Material der zu ätzenden Isolationsschicht selektiv zum Material der Maske und der isolierenden Schicht des Schichtenstapels geätzt wird, dann verbleibt die isolierende Schicht auf dem Schichtenstapel und schützt so die Gateelektrode beim Ätzen; die Gateelektrode wird nicht freigelegt. Die dabei gebildeten Kontaktlöcher grenzen unmittelbar an die isolierende Schicht der Schichtenstapel an, weswegen diese Art von Kontakten auch als "borderless" bezeichnet werden. Ganz gezielt werden derartige borderless-Kontakte in Zellenfeldern von Halbleiterspeichern verwendet, da dort die einzelnen Schichtenstapel der MOS-Transistoren eng benachbart und den lithographisch minimal erreichbaren Abstand aufweisen.

[0006] Wie bereits angedeutet, muß aber auch die Gateelektrode kontaktiert werden. Dazu ist es notwendig, ein Kontaktloch in die den Schichtenstapel bedeckende Isolationsschicht einzubringen und die die Gateelektrode bedeckende isolierende Schicht zu entfernen. Eine gleichzeitige Herstellung beider Kontaktlöcher ist bisher nicht möglich gewesen, da im Kontaktloch zur Gateelektrode die isolierende Schicht entfernt werden muß, im Kontaktloch zu den Source-/Drain-Gebieten aber erhalten bleiben soll. Daher wurden üblicherweise zwei Masken verwendet, die bei der Bildung der einen Kontaktlochsorte die jeweils andere bedeckt. Um die geforderte Genauigkeiten bei der Bildung der Kontaktlöcher zu erfüllen, müssen diese beiden Masken mit der gleichen hochauflösenden Lithographie hergestellt werden. Durch den notwendigen zweiten Lithographieschritt erhöht sich jedoch auch die Wahrscheinlichkeit für Fehler. Darüber hinaus trägt jeder hochauflösende Lithographieschritt zur Verteuerung der integrierten Schaltung bei.

[0007] Um dieses Problem abzumildern werden bei dem eingangs genannten und in der US 5,792,703 beschriebenen Verfahren auf das mit den integrierten Bauelementen versehene Halbleitersubstrat zunächst eine Isolationsschicht aufgebracht und in diese mittels einer weniger hochauflösenden Lithographie borderless-Kontakte zu den Source-/Drain-Gebieten in einem Zellenfeld eines Halbleiterspeichers geschaffen. Die mit der weniger hochauflösenden Lithographie geschaffenen Kontakte sind aufgrund der weiter oben beschriebenen Ausgestaltung des Ätzverfahrens selbstjustiert zu den Schichtenstapeln, so daß trotz der relativ großen Querschnitte der Kontaktlöcher (die weniger hochauflösende Lithographie führt zu größeren Strukturen) der Kontakt zu den Source-/Drain-Gebieten hergestellt wird. Nach einem Auffüllen der so geschaffenen Kontaktlöcher mit Polysilizium werden auf die gefüllten Kontaktlöcher und die Isolationsschicht eine zweite Isolationsschicht aufgebracht und nachfolgend unter Verwendung einer hochauflösenden Lithographie Kontaktlöcher zu den bereits mit Polysilizium gefüllten Kontakten sowie zu den Gateelektroden der Schichtenstapel geschaffen, um hierbei die geforderte Genauigkeit für die Kontakte zu den Gateelektroden einzuhalten. Das Verfahren der US 5,792,703 kommt somit mit nur einer hochauflösenden Lithographie aus. An die dort verwendete weniger hochauflösende Lithographie müssen jedoch auch relativ hohe Anforderungen hinsichtlich Ausrichtung der Maske gestellt werden, da aufgrund der relativ eng benachbarten Strukturen im Zellenfeld des Halbleiterspeichers lediglich ein geringer Versatz der Maske tolerierbar ist. Nachteilig ist weiterhin, daß zwei strukturierende Masken verwendet werden, d. h. es werden mit beiden Masken auf dem Halbleitersubstrat verbleibende Strukturen erzeugt, die möglicherweise zueinander einen seitlichen Versatz aufweisen. Dies kann sich insbesondere dann negativ auswirken, wenn Masken nachfolgender Lithographieschritte auf beide Strukturebenen justiert werden müssen.

[0008] Unter hochauflösender Lithographie wird hierbei eine Lithographie verstanden, die die technologisch kleinsten erreichbaren Strukturen ermöglicht. Bei dieser wirken sich Justage- und Abbildungsfehler deutlich stärker als bei einer

weniger hochauflösenden Lithographie aus. Die Anforderungen und die Fehlerempfindlichkeit sind daher bei weniger hochauflösender Lithographie geringer und damit auch die durch das Lithographieverfahren verbundenen Kosten. Da die Lithographieverfahren weiterentwickelt werden, wird sich auch die minimal erreichbare Strukturgröße verkleinern. Derzeit sind z. B. 0,13 µm "state of the art", zukünftig werden es 0,1 µm und darunter sein. Bei einem Lithographieverfahren mit geringer Auflösung sind die minimal erreichbaren Strukturen größer als bei hochauflösenden Lithographieverfahren, so daß mit geringer auflösenden Lithographieverfahren nur "gröbere" Strukturen geschaffen werden können.

[0009] Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfahren zur Bildung von Kontaktlöchern zu einer Vielzahl von Kontaktregionen von in einem Substrat integrierten Bauelementen anzugeben, bei dem auf eine zweite strukturgebende Maske bei gleichbleibender Strukturauflösung verzichtet werden kann.

[0010] Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren zur Bildung von Kontaktlöchern zu einer Vielzahl von Kontaktregionen von in einem Substrat integrierten Bauelementen mit den Schritten:

- auf das die integrierten Bauelemente aufweisende Substrat wird ganzflächig zumindest eine Isolationsschicht aufgebracht;
- auf die Isolationsschicht wird eine Maske mit Öffnungen an den Stellen aufgebracht, an denen nachfolgend bis zu den Kontaktregionen reichende Kontaktlöcher gebildet werden sollen;
- die durch die Öffnungen der Maske definierten Kontaktlöcher werden unter Verwendung der Maske geätzt, wobei zur vollständigen Fertigstellung der Kontaktlöcher wenigstens zwei Ätzschritte durchgeführt werden und zumindest bei einem der zwei Ätzschritte eine Hilfsschicht verwendet wird, die auf die Maske aufgebracht wird und lediglich einen Teil der Öffnungen bedeckt, so daß lediglich an den durch die unbedeckten Öffnungen definierten Stellen eine Ätzung erfolgt.

[0011] Ein wesentlicher Vorteil der Erfindung ist demnach, daß lediglich eine einzige Maske verwendet wird, die bereits alle Öffnungen für die zu den Kontaktregionen führenden Kontaktlöchern aufweist. Es wird demnach im Gegensatz zur US 5,792,703 nur eine strukturgebende Maske benötigt. Im erfindungsgemäßen Verfahren werden somit alle zu bildenden Kontaktlöcher mit einer einzigen gemeinsamen Maske gebildet, so daß damit auch alle Kontaktlöcher zueinander ausgerichtet sind. Eine mögliche Fehljustage der in der US 5,792,703 benötigten zwei Masken und damit eine Fehljustage der zu bildenden Kontaktlöcher zueinander wird sicher vermieden. Um die Reihenfolge der Bildung der einzelnen Kontaktlöcher bzw. die einzelnen Ätzschritte festzulegen wird zusätzlich zur Maske eine Hilfsschicht verwendet, die einzelne Öffnungen abdeckt und so die nicht bedeckten Öffnungen zur Bearbeitung freigibt. Damit werden die unbedeckten Öffnungen der Maske ausgewählt, die in dem jeweiligen Ätzschritt die Lage der zu bildenden Kontaktlöcher definieren. Zum Strukturieren der Hilfsschicht wird lediglich ein Lithographieverfahren mit geringer Auflösung benötigt.

[0012] Da nur eine einzige strukturgebende Maske zur Anwendung kommt kann auch eine für eine andere Strukturebene benötigte Maske gleichmäßig zu allen Kontaktlöchern ausgerichtet werden.

[0013] Mittels der Maske werden somit alle Kontaktlöcher vollständig fertig gestellt, d. h., daß alle Kontaktlöcher bis zu ihren jeweiligen Kontaktregionen reichen und die Kontaktregionen am Boden der Kontaktlöcher freiliegen.

[0014] Die Verwendung der Hilfsschicht eröffnet dem erfindungsgemäßen Verfahren einen Freiheitsgrad, dahingehend, in welcher Reihenfolge und mit welcher Ätzchemie die einzelnen Kontaktlöcher hergestellt werden können. Je nach Strukturierung der Hilfsschicht, d. h. je nach dem, welche Öffnungen in der Maske sie bedeckt, werden einzelne Öffnungen ausgesucht, so daß die teilweise oder vollständige Bildung von Kontaktlöchern nur an den unbedeckten Öffnungen erfolgt.

[0015] Unter Fertigstellung im Sinne der Erfindung wird die vollständige Ausbildung der Kontaktlöcher bis zum Freilegen der jeweiligen Kontaktregionen verstanden. Damit ist auch eine zwei- oder mehrstufige Ätzung einzelner Kontaktlöcher mit umfaßt. Eine zwei- oder mehrstufige Ätzung kann z. B. dann nötig sein, wenn die Kontaktlöcher durch mehr als eine einzige Schicht geätzt werden müssen.

[0016] Bevorzugt zeichnet sich das erfindungsgemäße Verfahren dadurch aus, daß die Ätzung eines Teils der Kontaktlöcher in zwei Teilätzschritten durchgeführt wird, wobei die zwei Teilätzschritte den wenigstens zwei Ätzschritten entsprechen oder einer der wenigstens zwei Ätzschritte in die zwei Teilätzschritte unterteilt ist, und

- in dem ersten Teilätzschritt zunächst die Isolationsschicht bis zu einer die Kontaktregionen bedeckenden isolierenden Schicht geätzt wird und
- in dem zweiten Teilätzschritt die isolierende Schicht unter Freilegung der Kontaktregionen entfernt wird, so daß die dort gebildeten Kontaktlöcher die Isolationsschicht und die isolierende Schicht durchsetzen und bis zu unter der isolierenden Schicht befindlichen Kontaktregionen reichen.

[0017] Bei zumindest einem Teil der Kontaktlöcher erfolgt die Ätzung in zwei Teilschritten, da die Kontaktlöcher durch die Isolationsschicht und eine die Kontaktregionen bedeckende isolierende Schicht geätzt werden müssen. Die Isolationsschicht und die isolierende Schicht bestehen dabei in der Regel aus unterschiedlichem Material, so daß die zum Ätzen der einzelnen Materialien verwendeten Ätzverfahren eine voneinander abweichende Ätzchemie aufweisen. In der Regel wird das Ätzverfahren des ersten Teilätzschritts zum Ätzen der Isolationsschicht selektiv zur isolierenden Schicht ausgeführt, so daß das Ätzverfahren des ersten Teilätzschritts auf der isolierenden Schicht stoppt.

[0018] Eine weitere vorteilhafte Ausführungsform zeichnet sich dadurch aus, daß

- es sich bei dem Substrat um ein Halbleitersubstrat handelt;
- die im Halbleitersubstrat integrierten Bauelementen jeweils einen mit der isolierenden Schicht bedeckten Schichtenstapel aufweisen und die Kontaktregionen auf den Schichtenstapeln unterhalb der isolierenden Schicht sowie im Halbleitersubstrat angeordnet sind;
- bis zum Halbleitersubstrat reichende erste Kontaktlöcher an den durch erste Öffnungen der Maske definierten

Stellen in einem einzigen Ätzschritt in die Isolationsschicht geätzt werden, wobei die ersten Kontaktlöcher zu den Schichtenstapeln selbstjustizierbar unmittelbar an diese angrenzend ausgebildet werden und die Ätzung der Isolationsschicht selektiv zum Material der Maske und zum Material der isolierenden Schicht der Schichtenstapel erfolgt, so daß dabei Seitenbereiche der Schichtenstapel in den ersten Kontaktlöchern freigelegt werden; und

– bis zu auf den Schichtenstapeln befindliche Kontaktregionen reichende zweite Kontaktlöcher mittels der zweiten Teilätzschritte an den durch zweite Öffnungen in der Maske definierte Stellen geätzt werden, wobei zumindest beim zweiten Teilätzschritt zum Entfernen der freiliegenden isolierenden Schicht vom Boden der zweiten Kontaktlöcher die ersten Kontaktlöcher mit der Hilfsschicht bedeckt oder mit einem Material zumindest soweit aufgefüllt sind, daß die dort freiliegenden Seitenbereiche der Schichtenstapel von der Hilfsschicht oder dem Material vollständig bedeckt sind.

[0019] Um die in den ersten Kontaktlöchern freigelegte isolierende Schicht der Schichtenstapel beim Entfernen der isolierenden Schicht aus den zweiten Kontaktlöchern zu schützen, werden die ersten Kontaktlöcher mit der Hilfsschicht oder einem Material soweit aufgefüllt, daß die dort freigelegte isolierende Schicht sicher bedeckt ist. Die isolierende Schicht in den ersten Kontaktlöchern ist dadurch sicher geschützt.

[0020] Die Bildung der ersten und zweiten Kontaktlöcher kann nacheinander oder gemeinsam erfolgen. Erfolgt die Bildung der zweiten Kontaktlöcher nach Bildung der ersten Kontaktlöcher, kann z. B. die Ätzung der zweiten Kontaktlöcher selektiv zu dem bereits in die ersten Kontaktlöcher gefüllten Material erfolgen.

[0021] Eine Ausgestaltung des erfindungsgemäßen Verfahrens ist dadurch gekennzeichnet, daß die Maske zusätzlich zu den ersten und zweiten Öffnungen dritte Öffnungen an den Stellen aufweist, an denen in der Isolationsschicht bis zu im Halbleitersubstrat angeordnete weiteren Kontaktregionen der integrierten Bauelemente reichende dritte Kontaktlöcher gebildet werden sollen, wobei die dritten Öffnungen zusammen mit den ersten und zweiten Öffnungen während des gemeinsamen Lithographieschritts in der Maske geschaffen werden, und die dritten Kontaktlöcher gemeinsam mit den zweiten Kontaktlöchern in die Isolationsschicht geätzt werden.

[0022] Mittels des erfindungsgemäßen Verfahrens können somit auch weitere Kontaktlöcher ohne zusätzliche Masken geschaffen werden.

[0023] Besonders vorteilhaft zeigt sich das erfindungsgemäße Verfahren bei der Bildung von Kontaktlöchern bei untereinander relativ eng benachbarten integrierten Bauelemente. In diesem Fall ist das erfindungsgemäße Verfahren dadurch gekennzeichnet, daß

– ein Teil der integrierten Bauelemente in einem ersten Bereich des Halbleitersubstrats und ein anderer Teil der integrierten Bauelemente in einem zweiten Bereich des Halbleitersubstrats angeordnet sind, wobei die Schichtenstapel der integrierten Bauelemente im ersten Teil zueinander in einem geringeren Abstand als die Schichtenstapel der integrierten Bauelemente im zweiten Teil angeordnet sind;

– die ersten Kontaktlöcher im ersten Bereich des Halbleitersubstrats unmittelbar zwischen zwei benachbarten Schichtenstapeln und unmittelbar an diese angrenzend gebildet werden;

– die dritten Kontaktlöcher im zweiten Bereich des Halbleiterbauelements gebildet werden; und

– die zweiten Kontaktlöcher sowohl im ersten als auch im zweiten Bereich des Halbleiterbauelements gebildet werden.

[0024] Ein solcher Fall tritt z. B. bei Halbleiterspeicherbauelementen auf, die in der Regel wenigstens ein Zellenfeld und ein sogenanntes Logikfeld aufweisen. Im Zellenfeld sind in regelmäßiger Anordnung Speicherzellen bestehend aus einem Auswahltransistor und einem Speicherkondensator angeordnet. Aufgrund dieser Regelmäßigkeit können die einzelnen Bauelemente relativ dicht zueinander angeordnet werden. Außerdem lassen sich regelmäßige Strukturen besser mittels der Lithographie zur Abbildung bringen, so daß im Zellenfeld eine vergleichsweise hohe Anordnungsichte der integrierten Bauelemente herrscht. Im Gegensatz dazu weist das Logikfeld eine weniger dichte Anordnung auf. Daher besteht dort auch mehr Platz für die Bildung der zum Halbleitersubstrat reichenden Kontaktlöcher, die damit dort nicht notwendigerweise als borderless-Kontakte ausgeführt werden müssen. Darüber hinaus kann es möglich sein, daß die Bildung von borderless-Kontakten aufgrund der im Vergleich zum Zellenfeld unregelmäßigen Anordnung überhaupt nicht möglich ist. Grundsätzlich ist es aber auch möglich, im Zellenfeld an den Stellen, an denen keine dichte Anordnung der integrierten Bauelemente herrscht, ebenfalls zu den Schichtenstapeln beabstandete Kontaktlöcher zu bilden.

[0025] In einer weiteren Ausgestaltung des erfindungsgemäßen Verfahrens werden beim Ätzen der ersten Kontaktlöcher die zweiten Öffnungen bzw. die zweiten und dritten Öffnungen der Maske durch die Hilfsschicht unter Freilassung der ersten Öffnungen abgedeckt, so daß nach Entfernen der Hilfsschicht die zweiten und ggf. dritten Kontaktlöcher gemeinsam in dem separaten Ätzschritt gebildet werden können. Die Hilfsschicht wird demnach vor Bildung der ersten Kontaktlöcher auf die Maske aufgebracht und vor Bildung der zweiten und ggf. dritten Kontaktlöcher wieder entfernt. Das Auffüllen der ersten Kontaktlöcher erfolgt bevorzugt bei noch vorhandener Hilfsschicht. Bei dieser vorteilhaften Ausgestaltung des erfindungsgemäßen Verfahrens kann auch davon gesprochen werden, daß das in die ersten Kontaktlöcher gefüllte Material ebenfalls die Funktion der Hilfsschicht übernimmt und als Art Auswahlmaske dient.

[0026] Ein Vorteil der Erfindung besteht darin, daß für die Herstellung der in die Hilfsschicht einzubringenden Öffnungen eine im Vergleich zur Lithographie für die Maske weniger anspruchsvolle Lithographie verwendet werden kann. Da die Hilfsschicht keine Strukturen definiert, sondern lediglich einzelne Öffnungen der Maske selektiv bedecken soll können die Öffnungen der Hilfsschicht im Vergleich zu den Öffnungen der Maske relativ groß sein. Günstig ist es z. B., die Öffnungen in der Hilfsschicht so groß zu machen, daß selbst bei einer möglichen Dejustage der für die Herstellung der Hilfsschicht verwendeten Projektionsmaske die Hilfsschicht stets die freizugebenden Öffnungen der Maske sicher nicht bedeckt. Ein möglicher Dejustagefehler der für die Herstellung der Hilfsschicht verwendeten Projektionsmaske wirkt sich auch nicht auf nachfolgende weitere Strukturierungsschritte aus, da die Hilfsschicht keine bleibenden Strukturen definiert. Die bei nachfolgenden Strukturierungsschritten verwendeten Projektionsmasken können somit direkt zu den durch



die Hauptmaske definierten Strukturen justiert werden.

[0027] Als besonders vorteilhaftes erwiesen, wenn die Maske aus einer ersten und die erste Schicht bedeckenden zweiten Schicht besteht, wobei die zweite Schicht aus demselben Material wie die isolierende Schicht der Schichtenstapel besteht. Dadurch kann das Ätzverfahren insbesondere zur Bildung der ersten Kontaktlöcher hochselektiv zum Material der isolierenden Schicht durchgeführt werden.

[0028] In weiterer Ausgestaltung wird die Bildung der zweiten und dritten Kontaktlöcher selektiv zum Material der ersten Schicht der Maske durchgeführt. Dabei kann gleichzeitig die zweite Schicht und die am Boden der zweiten Kontaktlöcher freiliegende isolierende Schicht entfernt werden.

[0029] Bei einer weiteren Ausgestaltung des erfindungsgemäßen Verfahrens hat es sich als vorteilhaft herausgestellt, wenn

- die ersten, zweiten und dritten Kontaktlöcher zusammen in einem gemeinsamen Ätzschritt gebildet werden, wobei am Boden der zweiten Kontaktlöcher die isolierende Schicht freigelegt wird;
- nachfolgend die ersten und dritten Kontaktlöcher mit einer Hilfsschicht unter Freilassung der zweiten Kontaktlöcher bedeckt werden; und
- die am Boden der zweiten Kontaktlöcher freigelegte isolierende Schicht mittels eines selektiv zum Material der Hilfsschicht und zum Material der Maske geführten Ätzschrittes entfernt wird.

[0030] Hierbei werden alle Kontaktlöcher gemeinsam gebildet und nachfolgend mit der Hilfsschicht die Kontaktlöcher ausgewählt, bei denen noch die isolierende Schicht entfernt werden muß. Die Hilfsschicht dient somit hier ebenfalls als Auswahlmaske.

[0031] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme zu den Figuren eingehender erläutert. Dabei zeigen:

[0032] Fig. 1A–1F einzelne Verfahrensschritte eines ersten Ausführungsbeispiels;

[0033] Fig. 2A–2D einzelne Verfahrensschritte eines zweiten Ausführungsbeispiels;

[0034] Fig. 3 ein mittels des erfindungsgemäßen Verfahrens hergestelltes Halbleiterbauelement; und

[0035] Fig. 4 ein mit einer Metallisierung versehenes Halbleiterbauelement.

[0036] In Fig. 1A ist ein Halbleiterbauelement (integrierte Schaltung) mit einem z. B. aus kristallinem Silizium bestehenden Halbleitersubstrat 5 mit einer Vielzahl von integrierten Bauelementen 10, 12, 15, 17, 20 dargestellt. Im vorliegenden Fall handelt es sich um planare MOS-Transistoren. Jeder dieser Transistoren weist jeweils einen Schichtenstapel (Gatestack) 25, 30, 35, 45 und 50 auf, wobei jeder Schichtenstapel jeweils ein Gateoxid 25a, 30a, 35a, 45a, 50a und eine bevorzugt aus Polysilizium bestehende Gateelektrode 25b, 30b, 35b, 45b, 50b aufweist, die auf der vom Halbleitersubstrat 5 abgewandten Seite eine Schicht aus Wolframsilizid 25c, 30c, 35c, 45c, 50c zur Verringerung des Schichtwiderstandes der Gateelektrode und zur Verbesserung des nachfolgend zu bildenden elektrischen Kontakts aufweist. Jeder Schichtenstapel 25, 30, 35, 45 und 50 ist an seinen Seitenwänden und an seiner Oberseite von einer isolierenden Schicht 25d, 30d, 35d, 45d und 50d bedeckt, die bevorzugt zweiteilig aufgebaut ist. Die isolierende Schicht besteht dabei z. B. aus selbstjustierten Randstegen und einer die Wolframsilizidschicht 25c, 30c, 35c, 45c, 50c bedeckenden Schicht. Die selbstjustierten Randstege (Spacer) werden durch konforme Abscheidung und anisotrope Rückätzung einer ganzflächig aufgetragenen Schicht gebildet. Bevorzugt besteht die isolierende Schicht aus Siliziumnitrid. Selbstverständlich kann die isolierende Schicht 25d, 30d, 35d, 45d, 50d auch einteilig ausgeführt sein. Die auf der Gateelektrode sitzende Wolframsilizidschicht bildet gleichzeitig die Kontaktregionen 25c, 30c, 35c, 45c, 50c der Schichtenstapel.

[0037] Zwischen den einzelnen Transistoren erstrecken sich im Halbleitersubstrat Dotierungsgebiete 25e, 30e, 45e, 50e, welche die Source-/Drain-Gebiete der Transistoren und gleichzeitig die in das Halbleitersubstrat 5 integrierten Kontaktregionen bilden.

[0038] Wie aus Fig. 1A ersichtlich sind in der linken Bildhälfte die Schichtenstapel enger zueinander angeordnet als in der rechten Bildhälfte. In der linken Bildhälfte soll dadurch ein erster Bereich ZF des Halbleiterbauelements dargestellt werden, der ein Zellenfeld eines Halbleiterspeichers repräsentiert. Im Gegensatz dazu ist in der rechten Bildhälfte ein Ausschnitt eines zweiten Bereichs LF des gleichen Halbleiterbauelements dargestellt, in dem die Schichtenstapel zueinander einen größeren Abstand aufweisen. Bei dem zweiten Bereich LF handelt es sich z. B. um das Logikfeld (auch Peripherie genannt), das zur Ansteuerung des Zellenfeldes benötigt wird. Bei diesem beispielhaft dargestellten Halbleiterbauelement handelt es sich somit um einen dynamischen Halbleiterspeicher (DRAM).

[0039] Bei der Herstellung der einzelnen Kontaktlöcher wird zunächst auf das mit den Transistoren 10, 12, 15, 17, 20 versehene Halbleitersubstrat 5 eine planarisierende Isolationsschicht 55, bevorzugt aus einem Oxid, aufgebracht. Nachfolgend wird wie in Fig. 1B dargestellt eine Maske M bestehend aus einer ersten und einer zweiten Schicht M1 und M2 aufgebracht. Bevorzugt besteht die erste Schicht M1 aus Polysilizium und die zweite Schicht M2 aus Siliziumnitrid. Bevorzugt wird die Maske M als Hartmaske ausgebildet, d. h. aus einem Material gebildet, das im Vergleich zu einem Fotolack deutlich temperaturstabiler ist. Die oben bevorzugten Materialien der Schichten M1 und M2 erfüllen z. B. diese Anforderung.

[0040] Die Maske M weist bereits alle Öffnungen 01, 02, 03 an den Stellen auf, an denen die ersten, zweiten und dritten Kontaktlöcher K1, K2 und K3 gebildet werden sollen. Die ersten Kontaktlöcher K1 dienen dabei insbesondere zur Kontaktierung der Source-/Drain-Gebiete im ersten Bereich (Zellenfeld ZF), die dritten Kontaktlöcher insbesondere zur Kontaktierung der Source-/Drain-Gebiete im zweiten Bereich (Logikfeld LF) und die zweiten Kontaktlöcher insbesondere zur Kontaktierung der Schichtenstapel sowohl im ersten als auch im zweiten Bereich ZF, LF des Halbleiterbauelements.

[0041] Zur Herstellung der Öffnungen 01, 02 und 03 in der Maske M wird eine relativ hochauflösende Lithographie zur Erzielung der benötigten Genauigkeit verwendet. Dabei kann es sich z. B. um eine mit ultravioletter Licht arbeitende Lithographie handeln. Zur Anwendung kommen sollte jeweils die für die Erreichung der geforderten Genauigkeit notwendige Lithographie, d. h. eine Lithographie, um die Kontaktlöcher in bezug auf die bereits vorhandenen Strukturen

(Schichtenstapel, Dotierungsgebiete) mit hinreichender Genauigkeit setzen zu können. Die Öffnungen der Maske M selbst werden durch Aufbringen eines Fotolacks, Strukturieren dieses Fotolacks mit Lithographie, Entwickeln des Fotolacks zum Entfernen der die Öffnungen definierenden belichteten Bereiche des Fotolacks und Ätzen der ersten und zweiten Schicht M1, M2 unter Verwendung des strukturierten Fotolacks gebildet.

5 [0042] Auf die Maske M wird nachfolgend eine bevorzugt aus einem fotoempfindlichen Lack bestehende Hilfsschicht HS aufgebracht und so strukturiert, daß die Hilfsschicht HS die ersten Öffnungen O1 zur Bildung der ersten Kontaktlöcher K1 freiläßt, die zweiten und dritten Öffnungen 02 und 03 jedoch abdeckt. Zur Bildung der Öffnung in der Hilfsschicht HS wird eine im Vergleich zur Lithographie der Maske M weniger genaue Lithographie benötigt. Die Anforderungen an die Genauigkeit der Lithographie der Hilfsschicht HS sind deutlich unkritischer, da hier im Vergleich zur
10 Maske M größere Öffnungen gebildet werden sollen.

[0043] Mittels der aus Maske M und Hilfsschicht HS bestehende Doppelmaske werden nachfolgend die ersten Kontaktlöcher K1 in die Isolationsschicht 55 geätzt, wobei die Ätzung der Isolationsschicht selektiv zu Siliziumnitrid und dem fotoempfindlichen Lack der Hilfsschicht HS erfolgen sollte. Dies kann beispielsweise mittels der Ätzgase C_3F_8 und O_2 erreicht werden. Die Ätzung wird dabei bis zum Freilegen der sich im Halbleitersubstrat befindenden Dotierungsgebiete durchgeführt. Aufgrund der selektiv zu Siliziumnitrid durchgeführten Ätzung wird die isolierende Schicht 25d und 30d in den ersten Kontaktlöchern K1 nicht abgetragen, so daß die ersten Kontaktlöcher selbstjustiert zu und unmittelbar an die dort befindlichen Schichtenstapel 25 und 30 angrenzend ausgebildet werden. Dies erfolgt insbesondere dann, wenn der Querschnitt, wie in Fig. 1B erkennbar, der ersten Kontaktlöcher größer als der Abstand zweier unmittelbar benachbarter Schichtenstapel ist.

20 [0044] In einem sich daran anschließenden Schritt wird leitfähiges Material 60 in die ersten Kontaktlöcher K1 gefüllt. Bevorzugt erfolgt dies bei noch vorhandener Hilfsschicht HS. Als leitfähiges Material 60 eignet sich insbesondere Polysilizium, da hiermit gute elektrische Kontakte mit den Dotierungsgebieten hergestellt werden können. Nach dem Auffüllen und ggf. Rückätzen des Polysiliziums, wobei jedoch die Rückätzung lediglich soweit erfolgen sollte, daß die isolierende Schicht 25d und 30d in den ersten Kontaktlöcher weiterhin vollständig bedeckt bleibt, wird die Hilfsschicht HS beispielsweise durch Veraschen entfernt. Fig. 1C zeigt das Halbleiterbauelement nach diesem Schritt.

25 [0045] Nachfolgend wird, wie in Fig. 1D gezeigt, eine selektiv zum Material (im vorliegenden Fall Polysilizium) der ersten Schicht M1 durchgeführte Ätzung der Isolationsschicht 55 vorgenommen. Dabei entstehen die zweiten und dritten Kontaktlöcher K2 und K3. Günstig ist es, wenn mit der Ätzung der Isolationsschicht 55 gleichzeitig auch Siliziumnitrid, das Material der zweiten Maskenschicht M2, entfernt wird. Damit kann nämlich auf einen zusätzlichen Ätzschritt verzichtet werden. Gleichzeitig wird auch die isolierende Schicht 35d und 50d in den dritten Kontaktlöcher K3 entfernt und damit die als Kontaktregionen dienende Wolframsilizidschicht 35c und 50c freigelegt. Ein geeignetes Ätzverfahren zum Ätzen der beispielsweise aus Siliziumoxid bestehenden Isolationsschicht 55 sowie von Siliziumnitrid selektiv zu Polysilizium kann beispielsweise mittels der Ätzgase CHF_3 und CF_4 oder C_4F_6 oder C_4F_8 sowie C_3F_8 erfolgen. Schließlich wird gemäß Fig. 1E die erste Maskenschicht M1 entfernt.

35 [0046] Abschließend werden die Kontaktlöcher K1, K2 und K3 mit einem weiteren leitfähigen Material 65, beispielsweise Wolfram, aufgefüllt. Dies kann jedoch auch erst im Rahmen der Bildung der ersten Metallisierungsebene erfolgen. Diese Abwandlung ist in Fig. 4 beispielhaft dargestellt. Dort ist zu erkennen, daß in die Isolationsschicht 55 zunächst die einzelnen Kontaktlöchern verlaufende Gräben 70 eingebracht und dann gemeinsam mit den Kontaktlöchern K1, K2 und K3 mit Wolfram aufgefüllt wurden. Vor dem Auffüllen der Kontaktlöcher mit Wolfram wird bevorzugt eine dünne Titanitrid- oder Titan/Titanitrid-Abscheidung mit anschließender Wärmebehandlung durchgeführt, um den Übergangswiderstand zum Siliziumsubstrat 5 zu verringern. Bei der Wärmebehandlung entsteht Titansilizid am Boden der Kontaktlöcher, das einen guten ohmschen Kontakt mit dem Siliziumsubstrat 5 bildet. Die nicht in Silizid umgewandelte Titan/Titanitrid-Schicht kann selektiv entfernt werden.

40 [0047] In der Fig. 4 ist weiterhin die Justage der Gräben 70 relativ zu den Kontaktlöchern dargestellt. Bei der Herstellung der Gräben 70 wird wieder eine Lithographie benötigt, die wieder möglichst hochauflösend sein soll. Die dabei verwendete Projektionsmaske kann direkt zu den Kontaktlöchern ausgerichtet werden. Da erfindungsgemäß nur eine strukturgebende Maske (hier Maske M) Verwendung findet, sind alle Kontaktlöcher zueinander ausgerichtet. Ein Versatz, wie es bei der Verwendung von mehreren strukturgebenden Masken vorkommen kann, wird erfindungsgemäß ausgeschlossen.

50 [0048] Ein weiteres Ausführungsbeispiel des erfindungsgemäßen Verfahrens ist in den Fig. 2A bis 2D gezeigt. Hierbei wird von einem mit integrierten Halbleiterbauelementen versehenen Halbleitersubstrat ausgegangen, daß dem der Fig. 1A entspricht. Danach wird ebenfalls eine Isolationsschicht 55 aufgebracht. Die dann auf die Isolationsschicht abgegebene Maske M umfaßt jedoch nur eine Maskenschicht M1, die bevorzugt aus Polysilizium besteht. Die Maske M weist ebenfalls alle für die Bildung der Kontaktlöcher notwendigen Öffnungen auf.

55 [0049] Unter Verwendung der Maske M erfolgt dann eine selektiv zum Material der Maske M (bevorzugt Polysilizium) und zum Material der isolierenden Schicht der Schichtenstapel (bevorzugt Siliziumnitrid) durchgeführte Ätzung der Isolationsschicht 55, bei der die ersten, zweiten und dritten Kontaktlöcher K1, K2 und K3 gemeinsam gebildet werden. Die Ätzung stoppt aufgrund der Selektivität auf den Dotierungsgebieten 25e und 45e bzw. auf der isolierenden Schicht 35d und 55d.

60 [0050] Anschließend wird gemäß Fig. 2C eine Hilfsschicht HS auf die Maske M aufgebracht, die bis auf die zweiten Kontaktlöcher K2 alle übrigen Kontaktlöcher bedeckt. Damit werden die zweiten Kontaktlöcher K2 zur weiteren Behandlung ausgewählt und zwar für die nachfolgend durchzuführende Ätzung der isolierenden Schicht 35d und 50d. Die Strukturierung der Hilfsschicht HS erfolgt vergleichbar wie im ersten Ausführungsbeispiel mit einer weniger kritischen Lithographie.

65 [0051] Nach Entfernen der Hilfsschicht HS und der Maske M werden abschließend alle Kontaktlöcher mit einem leitfähigen Material 65, bevorzugt Wolfram aufgefüllt und planarisiert.

[0052] Aus dem Vergleich des ersten und des zweiten Ausführungsbeispiels zeigt sich, daß mittels des ersten Ausführungsbeispiels die ersten Kontaktlöcher K1 im Unterschied zu den zweiten und dritten Kontaktlöchern K2 und K3 mit ei-



nem anderen Material aufgefüllt werden können. Dies ist insbesondere von Vorteil, wenn im Zellenfeld ein anderer Kontaktaufbau als im Logikfeld gewollt ist. Beim zweiten Ausführungsbeispiel besteht eine partige Auswahlmöglichkeit hinsichtlich Füllmaterialien für die zweiten Kontaktlöcher K2 im Vergleich zu den ersten und dritten Kontaktlöchern K1 und K3, sofern vor dem Entfernen der Hilfsschicht HS die zweiten Kontaktlöcher K2 mit einem leitfähigen Material aufgefüllt werden.

[0053] Wie der Fig. 3 zu entnehmen ist, können die dritten Kontaktlöcher K3 zumindest teilweise auch als borderless-Kontakte ausgeführt werden. Da borderless-Kontakte weniger Platz beanspruchen, können die Dotierungsgebiete und damit die Transistoren im Logikfeld verkleinert werden. Sollten die Kontaktlöcher durch eine eventuelle Fehljustage der für die Bildung der Öffnungen in der Maske M verwendeten Projektionsmaske nicht mehr zentral, sondern seitlich verschoben auf die Dotierungsgebiete 45e und 50e zulaufen, wird dieser seitliche Versatz der dritten Kontaktlöcher K3 durch deren in bezug auf die Schichtenstapel 45 und 50 selbstjustierende Ausbildung ausgeglichen.

[0054] Die zweiten Kontaktlöcher K2 sind in Fig. 3 in einer anderen Ebene als die sich in der Zeichnungsebene befindenden ersten und dritten Kontaktlöcher K1 und K3 gezeigt.

Bezugszeichenliste

5 Halbleitersubstrat	
10, 12, 15, 17, 20 integrierte Bauelemente/Transistoren	
25, 30, 35, 40, 45, 50 Schichtenstapel	
25a, 30a, 35a, 45a, 50a Gateoxid	20
25b, 30b, 35b, 45b, 50b Gateelektrode	
25c, 30c, 35c, 45c, 50c Wolframsilizidschicht/Kontaktregion der Schichtenstapel	
25d, 30d, 35d, 45d, 50d isolierende Schicht	
25e, 30e, 45e, 50e Dotierungsgebiete/Kontaktregionen im Halbleitersubstrat	
55 Isolationsschicht	25
ZF erster Bereich/Zellenfeld	
LF zweiter Bereich/Logikfeld	
M Maske	
M1 erste Maskenschicht	
M2 zweite Maskenschicht	30
O1, O2, O3 erste, zweite und dritte Öffnungen in der Maske M	
K1, K2, K3 erste, zweite und dritte Kontaktlöcher	
HS Hilfsschicht	
60 leitfähiges Material	
65 weiteres leitfähiges Material	35
70 Gräben	

Patentansprüche

1. Verfahren zur Bildung von Kontaktlöchern (K1, K2, K3) zu einer Vielzahl von Kontaktregionen (25e, 30e, 45e, 50e, 25c, 30c, 35c, 45c, 50c) von in einem Substrat integrierten Bauelementen (10, 12, 15, 17, 20) mit den Schritten:
 - auf das die integrierten Bauelemente (10, 12, 15, 17, 20) aufweisende Substrat (5) wird ganzflächig zumindest eine Isolationsschicht (55) aufgebracht;
 - auf die Isolationsschicht (55) wird eine Maske (M) mit Öffnungen (01, 02, 03) an den Stellen aufgebracht, an denen nachfolgend bis zu den Kontaktregionen (25e, 30e, 45e, 50e, 25c, 30c, 35c, 45c, 50c) reichende Kontaktlöcher (K1, K2, K3) gebildet werden sollen;
 - die durch die Öffnungen (01, 02, 03) der Maske (M) definierten Kontaktlöcher (K1, K2, K3) werden unter Verwendung der Maske (M) geätzt, wobei zur vollständigen Fertigstellung der Kontaktlöcher (K1, K2, K3) wenigstens zwei Ätzschritte durchgeführt werden und zumindest bei einem der zwei Ätzschritte eine Hilfsschicht (HS) verwendet wird, die auf die Maske (M) aufgebracht wird und lediglich einen Teil der Öffnungen (02, 03) bedeckt, so daß lediglich an den durch die unbedeckten Öffnungen (01) definierten Stellen eine Ätzung erfolgt.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Ätzung eines Teils der Kontaktlöcher (K2) in zwei Teilätzschritten durchgeführt wird, wobei die zwei Teilätzschritte den wenigstens zwei Ätzschritten entsprechen oder einer der wenigstens zwei Ätzschritte in die zwei Teilätzschritte unterteilt ist, und
 - in dem ersten Teilätzschritt zunächst die Isolationsschicht (55) bis zu einer die Kontaktregionen (35c, 50c) bedeckenden isolierenden Schicht (35d, 50d) geätzt wird und
 - in dem zweiten Teilätzschritt die isolierende Schicht (35d, 50d) unter Freilegung der Kontaktregionen (35c, 50c) entfernt wird, so daß die dort gebildeten Kontaktlöcher (K2) die Isolationsschicht (55) und die isolierende Schicht (35d, 50d) durchsetzen und bis zu unter der isolierenden Schicht (35d, 50d) befindlichen Kontaktregionen (35c, 50c) reichen.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß
 - es sich bei dem Substrat um ein Halbleitersubstrat (5) handelt;
 - die im Halbleitersubstrat (5) integrierten Bauelementen (10, 12, 15, 17, 20) jeweils einen mit der isolierenden Schicht (25d, 30d, 35d, 45d, 50d) bedeckten Schichtenstapel (25, 30, 35, 45, 50) aufweisen und die Kontaktregionen (25e, 30e, 45e, 50e, 35c, 50c) auf den Schichtenstapeln (25, 30, 35, 45, 50) unterhalb der isolierenden Schicht (25d, 30d, 35d, 45d, 50d) sowie im Halbleitersubstrat (5) angeordnet sind;
 - bis zum Halbleitersubstrat (5) reichende erste Kontaktlöcher (K1) an den durch erste Öffnungen (01) der Maske (M)



definierten Stellen in einem einzigen Ätzschritt in die Isolationsschicht geätzt werden, wobei die ersten Kontaktlöcher (K1) zu den Schichten (25, 30) selbstjustiert und unmittelbar an diese angrenzend ausgebildet werden und die Ätzung der Isolationsschicht (55) selektiv zum Material der Maske (M) und zum Material der isolierenden Schicht (25d, 30d) der Schichtenstapel (25, 30) erfolgt, so daß dabei Seitenbereiche der Schichtenstapel (25, 30) in den ersten Kontaktlöchern (K1) freigelegt werden; und

bis zu auf den Schichtenstapeln (35, 50) befindliche Kontaktregionen (35c, 50c) reichende zweite Kontaktlöcher (K2) mittels der zwei Teilätzschritte an den durch zweite Öffnungen (02) in der Maske (M) definierte Stellen geätzt werden, wobei zumindest beim zweiten Teilätzschritt zum Entfernen der freiliegenden isolierenden Schicht (35d, 50d) vom Boden der zweiten Kontaktlöchern (K2) die ersten Kontaktlöcher mit der Hilfsschicht (HS) bedeckt oder mit einem Material (60) zumindest soweit aufgefüllt sind, daß die dort freiliegenden Seitenbereiche der Schichtenstapel von der Hilfsschicht (HS) oder dem Material (60) vollständig bedeckt sind.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Maske (M) zusätzlich zu den ersten und zweiten Öffnungen (01, 02) dritte Öffnungen (03) an den Stellen aufweist, an denen in der Isolationsschicht (55) bis zu im Halbleitersubstrat (5) angeordneten weiteren Kontaktregionen (45e) der integrierten Bauelemente reichende dritte Kontaktlöcher (K3) gebildet werden sollen, wobei die dritten Kontaktlöcher (K3) gemeinsam mit den zweiten Kontaktlöchern (K2) in die Isolationsschicht (55) geätzt werden.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß ein Teil der integrierten Bauelemente (10, 12, 15) in einem ersten Bereich (ZF) des Halbleitersubstrats (5) und ein anderer Teil der integrierten Bauelemente (17, 20) in einem zweiten Bereich (LF) des Halbleitersubstrats (5) angeordnet sind, wobei die Schichtenstapel (35, 30, 35) der integrierten Bauelemente (10, 12, 15) im ersten Teil (ZF) zueinander in einem geringeren Abstand als die Schichtenstapel (45, 50) der integrierten Bauelemente (17, 20) im zweiten Teil (LF) angeordnet sind;

die ersten Kontaktlöcher (K1) im ersten Bereich (ZF) des Halbleitersubstrats unmittelbar zwischen zwei benachbarten Schichtenstapeln (25, 30, 35) und unmittelbar an diese angrenzend gebildet werden;

die dritten Kontaktlöcher (K3) im zweiten Bereich (LF) des Halbleitersubstrats gebildet werden; und

die zweiten Kontaktlöcher (K2) sowohl im ersten als auch im zweiten Bereich (ZF, LF) des Halbleitersubstrats gebildet werden.

6. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß beim Ätzen der ersten Kontaktlöcher (K1) die zweiten Öffnungen (02) der Maske (M) durch die Hilfsschicht (HS) unter Freilassung der ersten Öffnungen (01) abgedeckt sind und nach Entfernen der Hilfsschicht (HS) die zweiten Kontaktlöcher (K2) in dem nachfolgenden separaten Ätzschritt gebildet werden.

7. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß beim Ätzen der ersten Kontaktlöcher (K1) die zweiten und dritten Öffnungen (02, 03) der Maske (M) durch die Hilfsschicht (HS) unter Freilassung der ersten Öffnungen (01) abgedeckt sind und nach Entfernen der Hilfsschicht (HS) die zweiten und dritten Kontaktlöcher (K2, K3) gemeinsam in dem separaten Ätzschritt gebildet werden.

8. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Maske (M) aus einer ersten und einer die erste Schicht (M1) bedeckenden zweiten Schicht (M2) besteht, wobei die zweite Schicht (M2) aus demselben Material wie die isolierende Schicht (25d, 30d, 35d, 45d, 50d) der Schichtenstapel (25, 30, 35, 45, 50) besteht.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß es sich bei dem Material der zweiten Schicht (M2) und dem Material der isolierenden Schicht (25d, 30d, 35d, 45d, 50d) überwiegend um Siliziumnitrid handelt.

10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß die Bildung der zweiten und dritten Kontaktlöcher (K2, K3) mittels einer selektiv zum Material der ersten Schicht (M1) der Maske (M) geführten Ätzung erfolgt, bei der gleichzeitig die am Boden der zweiten Kontaktlöcher (K2) freigelegte isolierende Schicht (35d, 50d) und die zweite Schicht (M2) der Maske (M) entfernt werden.

11. Verfahren nach einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß es sich bei dem Material der ersten Schicht (M1) der Maske (M) überwiegend um Polysilizium handelt.

12. Verfahren nach einem der Ansprüche 3 bis 11, dadurch gekennzeichnet, daß zum Auffüllen der ersten Kontaktlöcher (K1) ein leitfähiges Material (60) verwendet wird, daß in elektrischen Kontakt mit den am Boden des ersten Kontaktlochs (K1) freigelegten Kontaktregionen (25e) tritt.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß es sich bei dem leitfähigen Material (60) um Polysilizium handelt.

14. Verfahren nach Anspruch 12 oder 13, dadurch gekennzeichnet, daß die mit dem leitfähigen Material (60) lediglich teilweise aufgefüllten ersten Kontaktlöcher (K1) sowie die zweiten und dritten Kontaktlöcher (K2, K3) vollständig mit einem weiteren elektrisch leitfähigen Material (65) zur elektrischen Kontaktierung der ersten, zweiten und dritten Kontaktregionen (25e, 30e, 45e, 50e, 35c, 50c) gefüllt werden.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß es sich bei dem weiteren elektrisch leitfähigen Material (65) überwiegend um Wolfram handelt.

16. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß

die ersten, zweiten und dritten Kontaktlöcher (K1, K2, K3) zusammen in einem gemeinsamen Ätzschritt gebildet werden, wobei am Boden der zweiten Kontaktlöcher (K2) die isolierende Schicht (35d, 50d) freigelegt wird;

nachfolgend die ersten und dritten Kontaktlöcher (K1, K3) mit einer Hilfsschicht (HS) unter Freilassung der zweiten Kontaktlöcher (K2) bedeckt werden; und

die am Boden der zweiten Kontaktlöcher (K2) freigelegte isolierende Schicht (35d, 50d) mittels eines selektiv zum Material der Hilfsschicht (HS) und zum Material der Maske (M) geführten Ätzschrittes entfernt wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß nach dem Entfernen der isolierenden Schicht (35d, 50d) vom Boden der zweiten Kontaktlöcher (K2) die Hilfsschicht (HS) entfernt und anschließend die ersten, zweiten und dritten Kontaktlöcher (K1, K2, K3) mit einem elektrisch leitfähigen Material (65) aufgefüllt werden, daß in



elektrischen Kontakt mit dem Boden der ersten, zweiten und dritten Kontaktlöcher (K1, K2, K3) freigelegten Kontaktregionen (25e, 30e, 35e, 45e, 50e) tritt.

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, daß es sich bei dem elektrischen leitfähigen Material (65) überwiegend um Wolfram handelt.

19. Verfahren nach Anspruch 4 und einem der Ansprüche 16 bis 18, dadurch gekennzeichnet, daß die dritten Kontaktlöcher (K3) als zu den Schichtenstapeln (45) selbstjustierte, unmittelbar an diese angrenzende und bis zum Halbleitersubstrat (5) reichende Kontaktlöcher ausgebildet werden.

20. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Schichtenstapel (10, 12, 15, 17, 20) an ihrer zum Halbleitersubstrat (5) gewandten Seite jeweils ein Gateoxid (25a, 30a, 35a, 45a, 50a), darüber eine aus Polysilizium bestehende Gateelektrode (25b, 30b, 35b, 45b, 50b) mit einer Wolframsilizidschicht (25c, 30c, 35c, 45c, 50c) aufweisen, wobei die Schichtenstapel (10, 12, 15, 17, 20) an ihren Seitenwänden und ihrer vom Halbleitersubstrat (5) abgewandten Seite von der isolierenden Schicht (25d, 30d, 35d, 45d, 50d) bedeckt sind.

21. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Isolationsschicht (55) aus einem Oxid besteht.

22. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Öffnungen (01, 02, 03) der Maske (M) in einem gemeinsamen ersten Lithographieverfahren geschaffen werden, und

die Hilfsschicht (HS) mit einem zweiten Lithographieverfahren strukturiert wird, wobei die Strukturauflösung des ersten Lithographieverfahrens im Vergleich zum zweiten Lithographieverfahren höher ist.

23. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Hilfsschicht (HS) aus einem Fotolack besteht.

Hierzu 6 Seite(n) Zeichnungen



- Leerseite -



FIG 1A

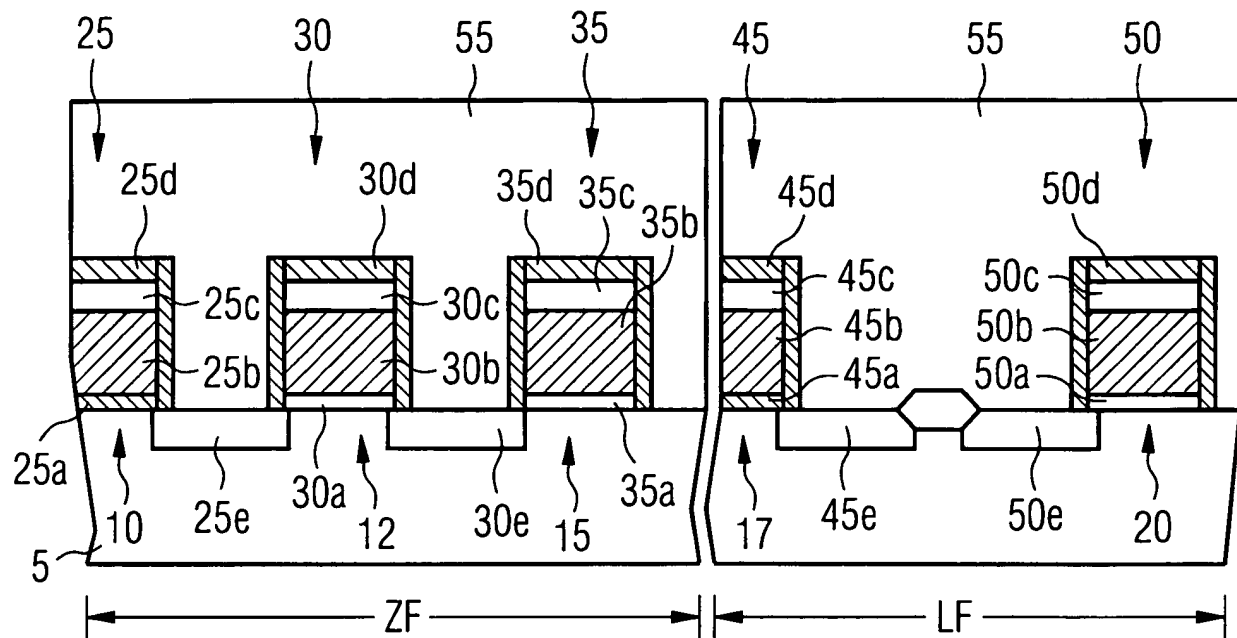


FIG 1B

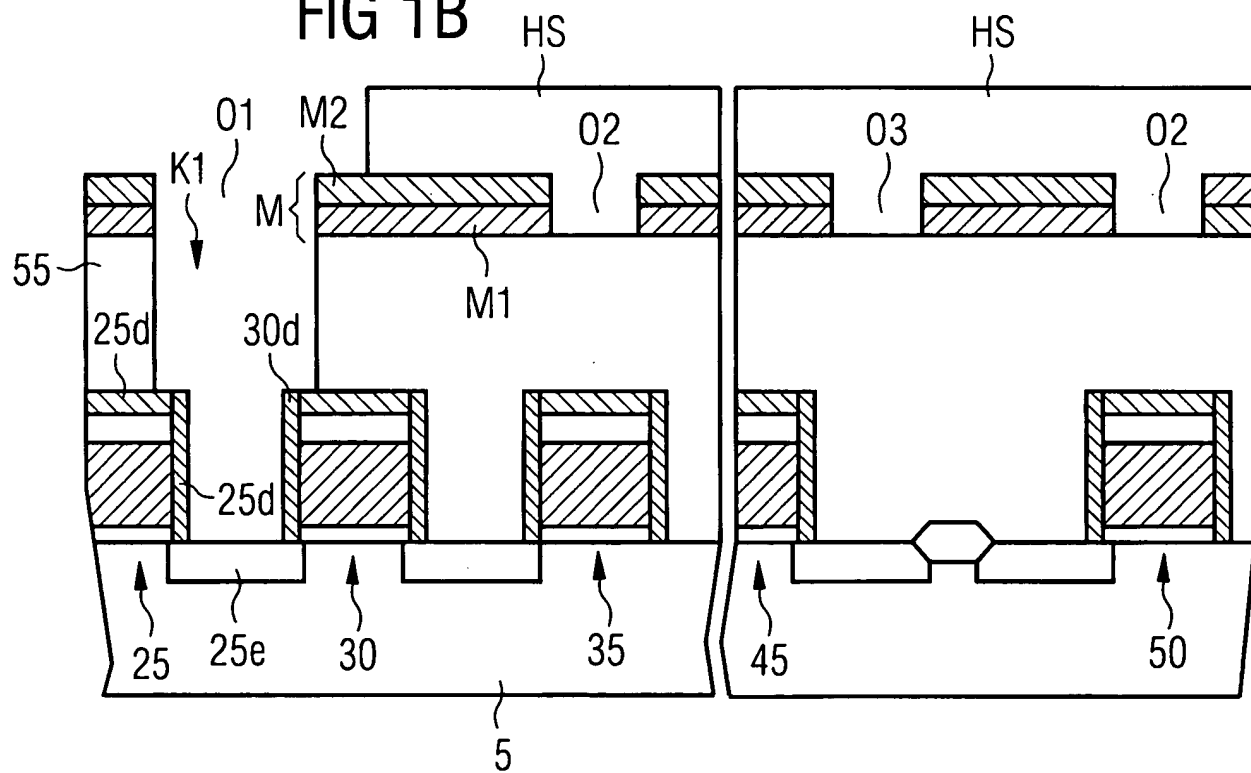


FIG 1C

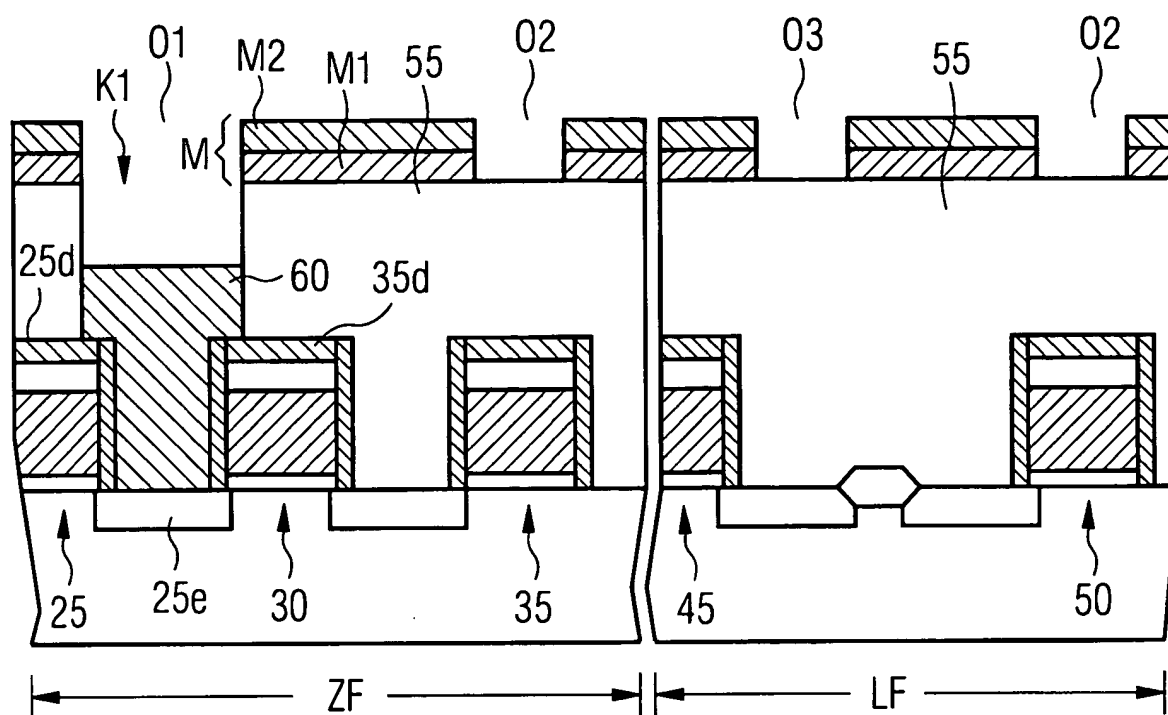


FIG 1D

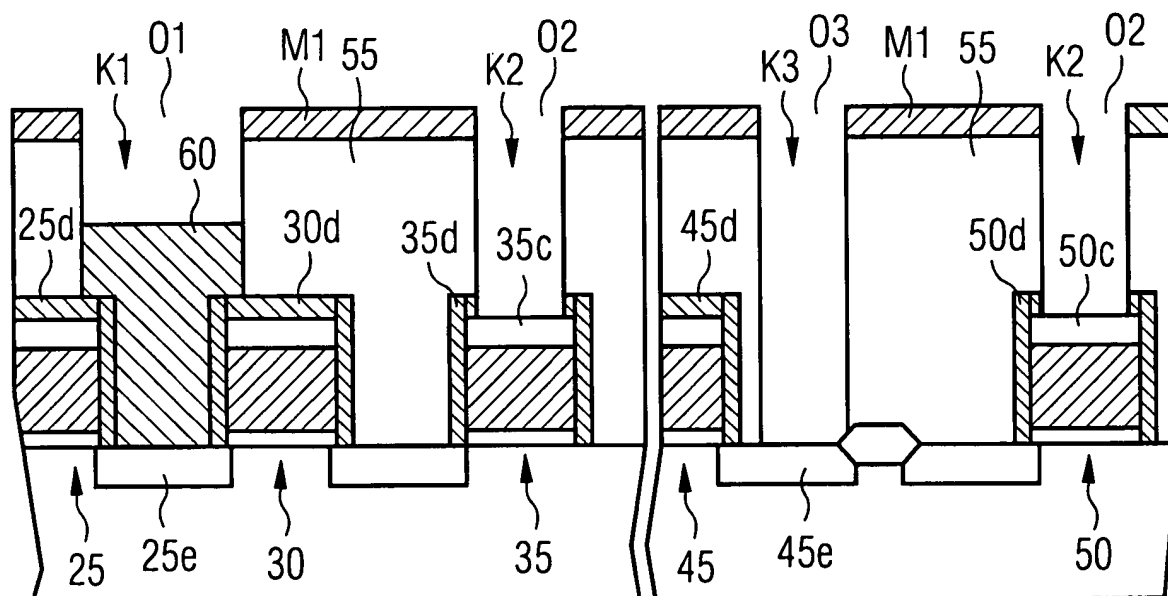


FIG 1E

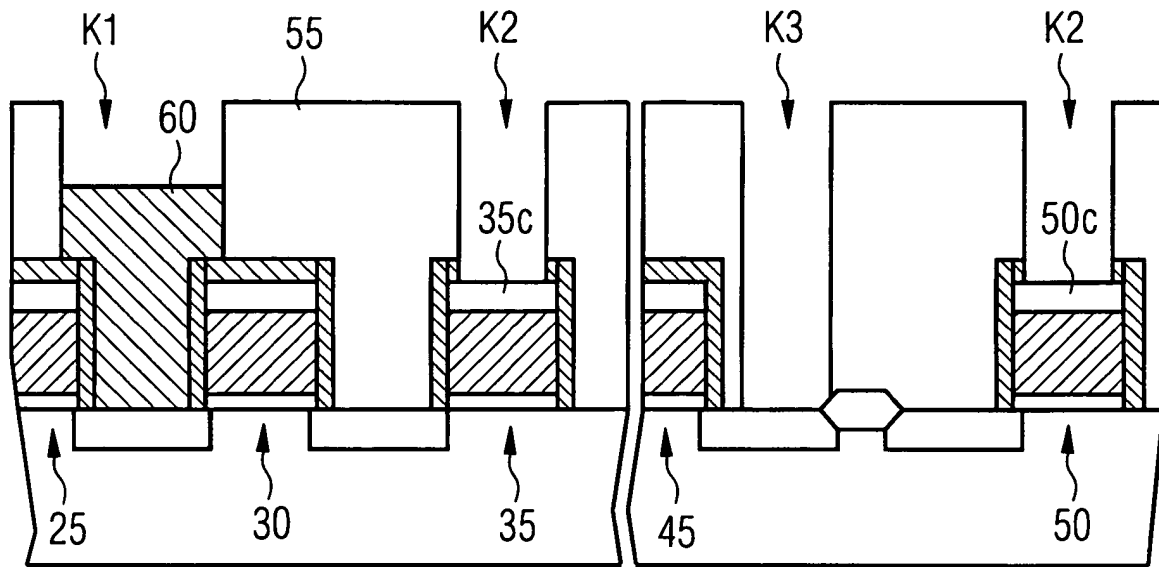


FIG 1F

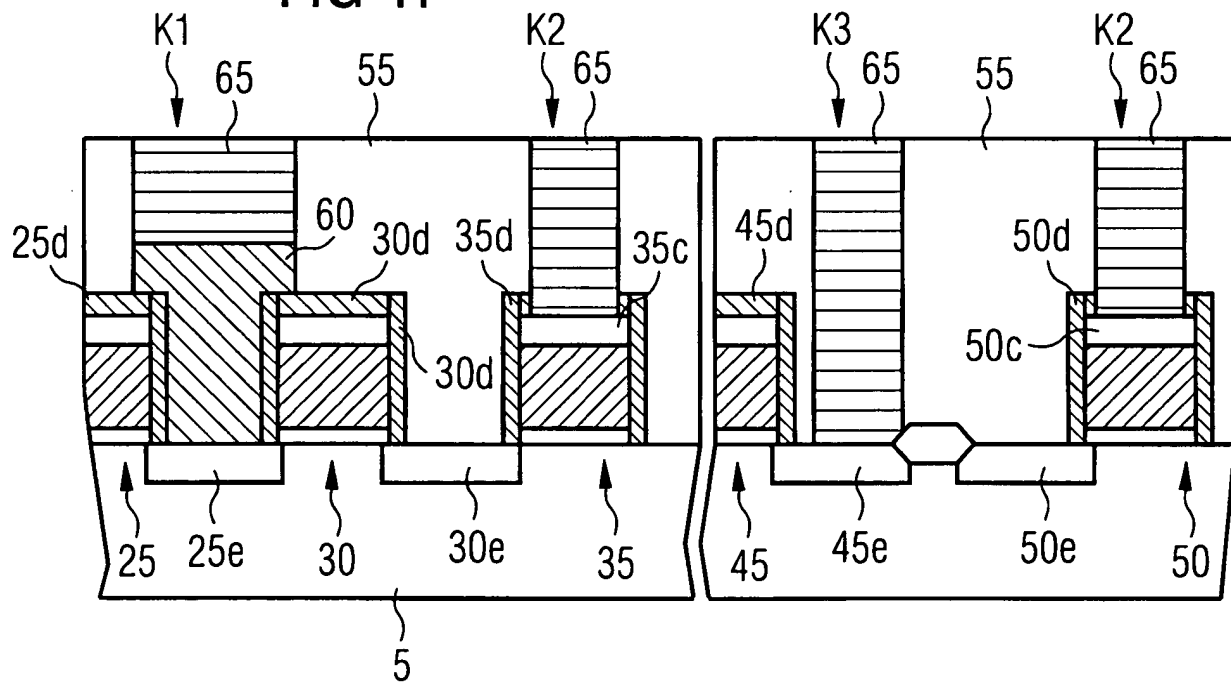


FIG 2A

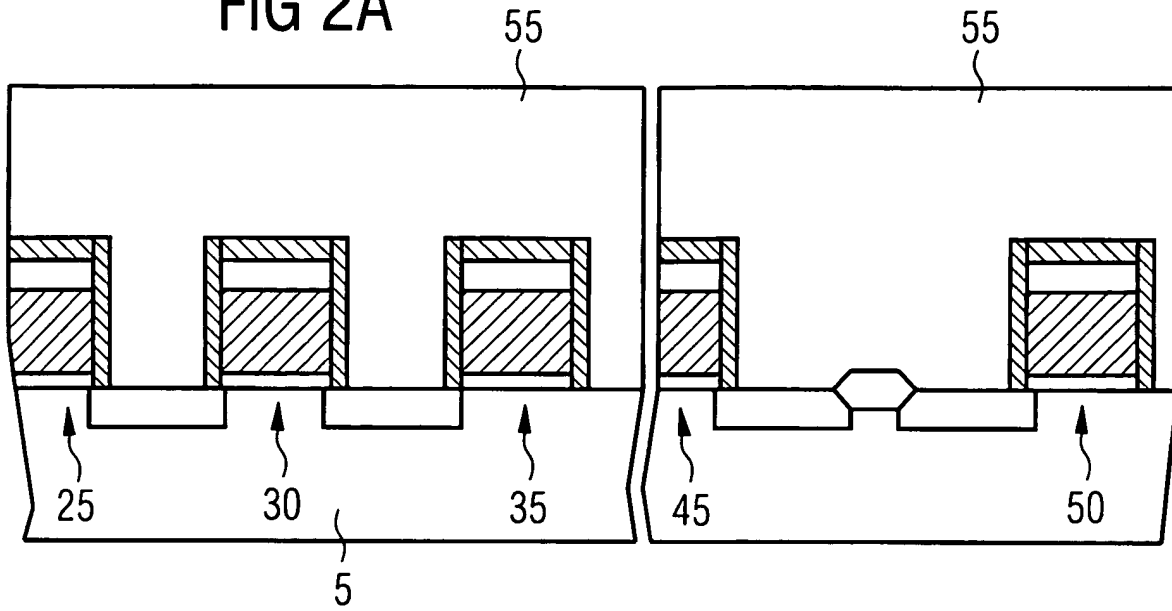
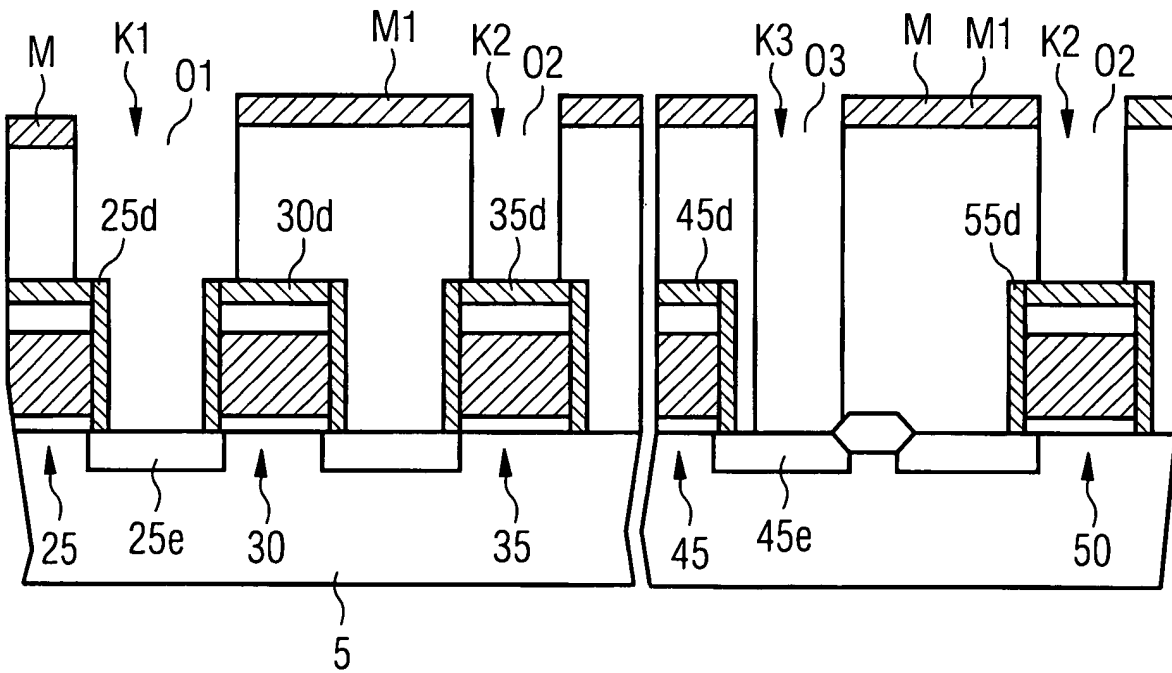
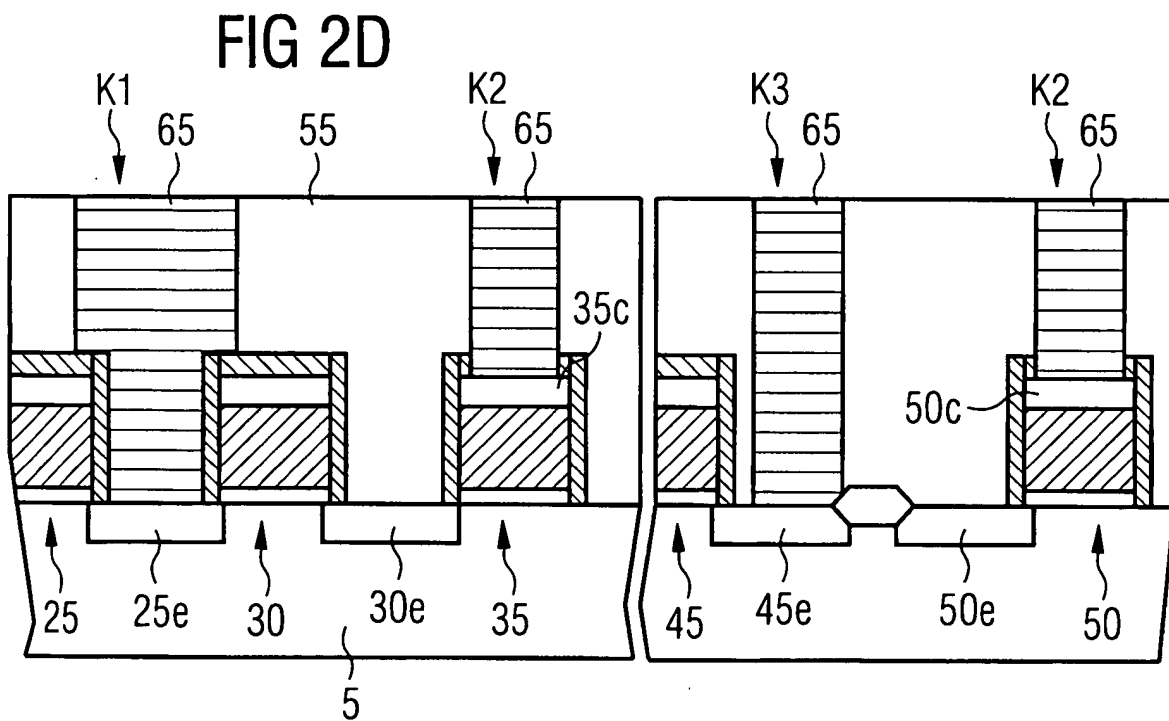
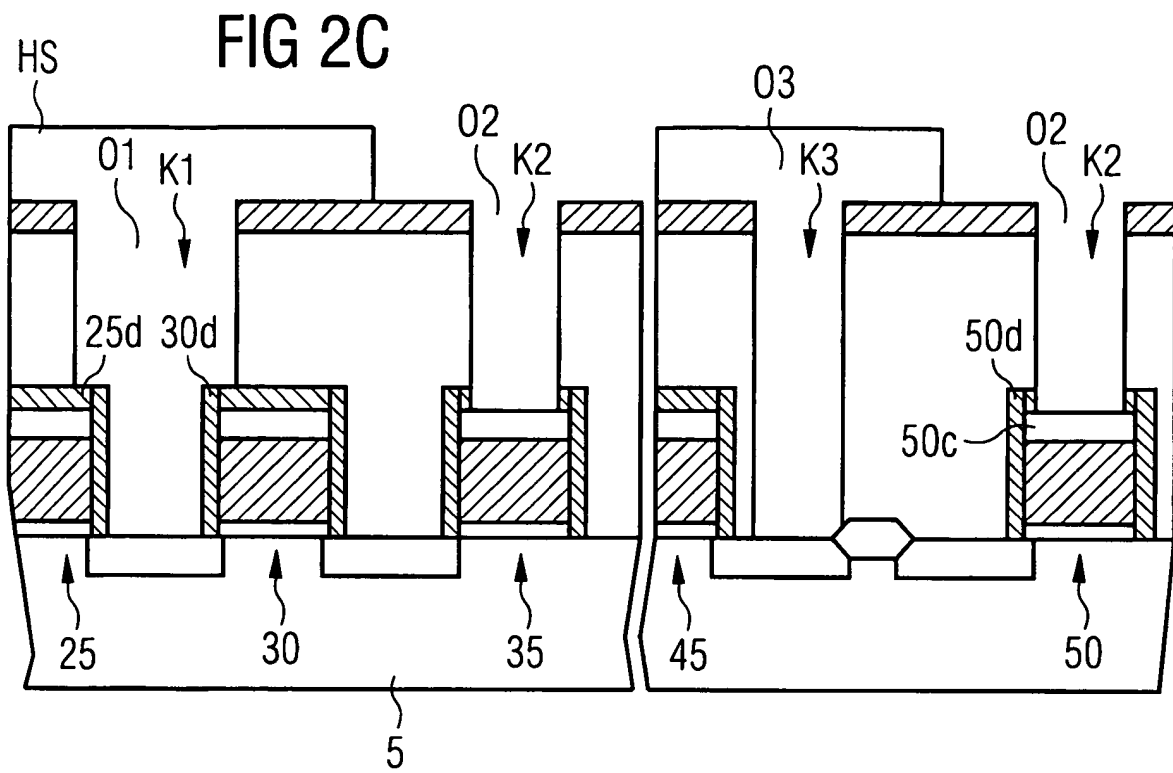
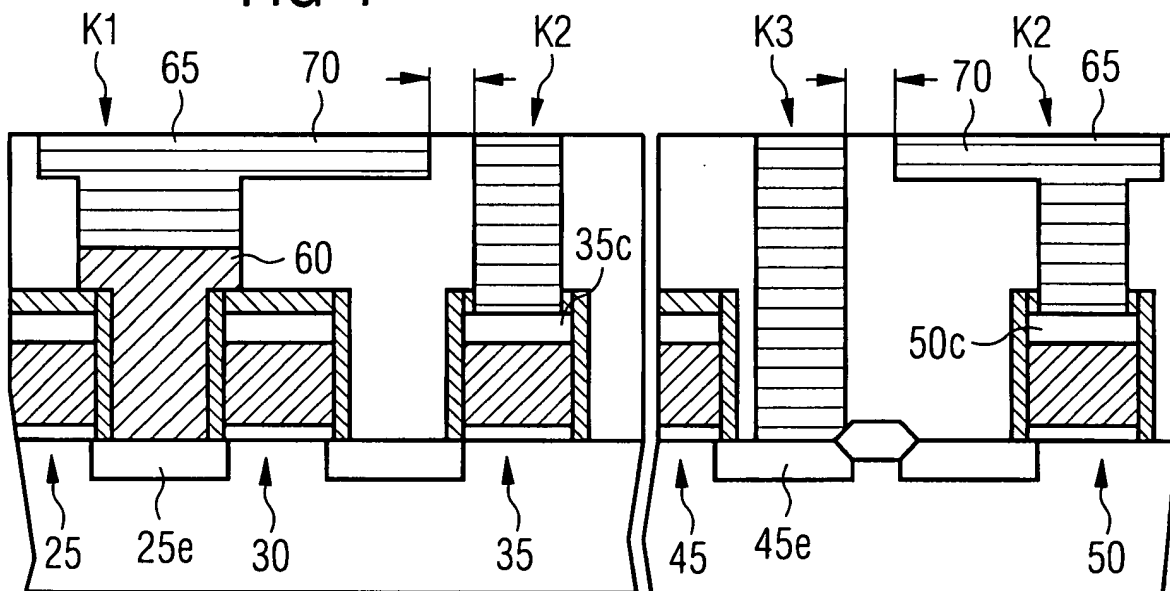
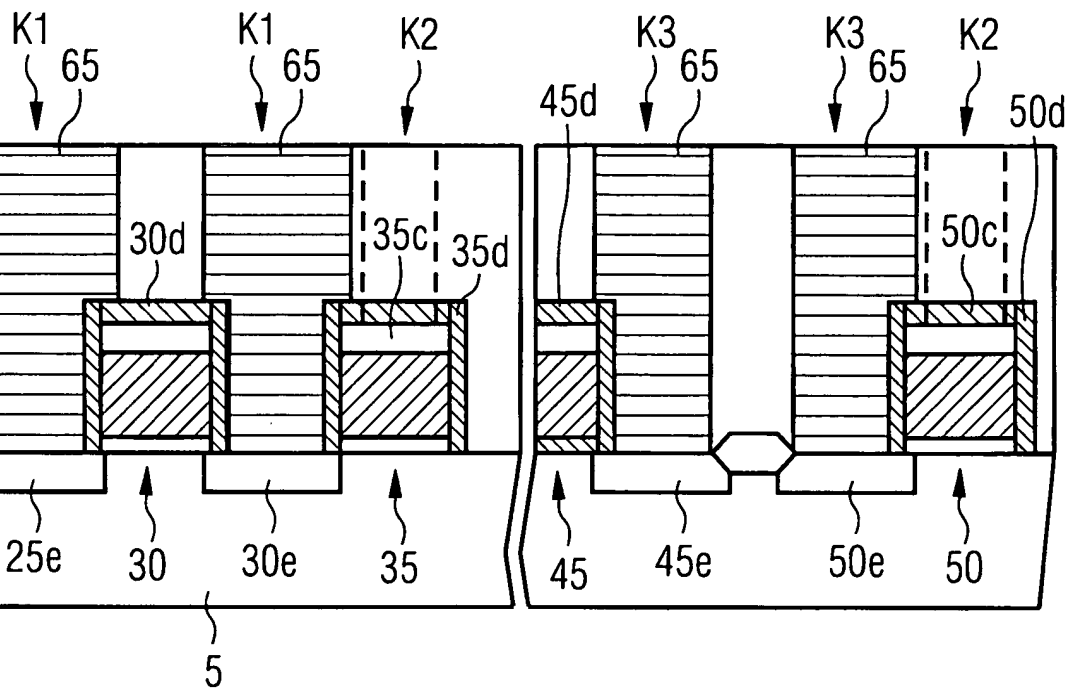


FIG 2B







**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.